



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of: Walter SCHWARZENBACH et al. Confirmation No. 9739  
Application No.: 10/733,729 Group Art Unit: 2812  
Filing Date: December 12, 2003 Examiner:  
For: METHOD OF MAKING CAVITIES IN A Atty. Docket No.: 4717-9200  
SEMICONDUCTOR WAFER

**SUBMISSION OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

Applicants have claimed priority under 35 U.S.C. § 119 of French Application Nos. FR 0216049 filed on December 20, 2002 in France. In support of this claim, a certified copy of said applications is submitted herewith.

No fee or certification is believed to be due for this submission. Should any fees be required, however, please charge such fees to **Winston & Strawn LLP** Deposit Account No. 50-1814.

Respectfully submitted,

Date: 5/7/04

  
\_\_\_\_\_  
Allan A. Fanucci (Reg. No. 30,256)

**WINSTON & STRAWN LLP**  
**CUSTOMER NO. 28765**  
(212) 294-3311

Enclosures

NY:862513.1





en 1649  
Brevet de C  
①

# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

### COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

16 DEC. 2003

Fait à Paris, le \_\_\_\_\_

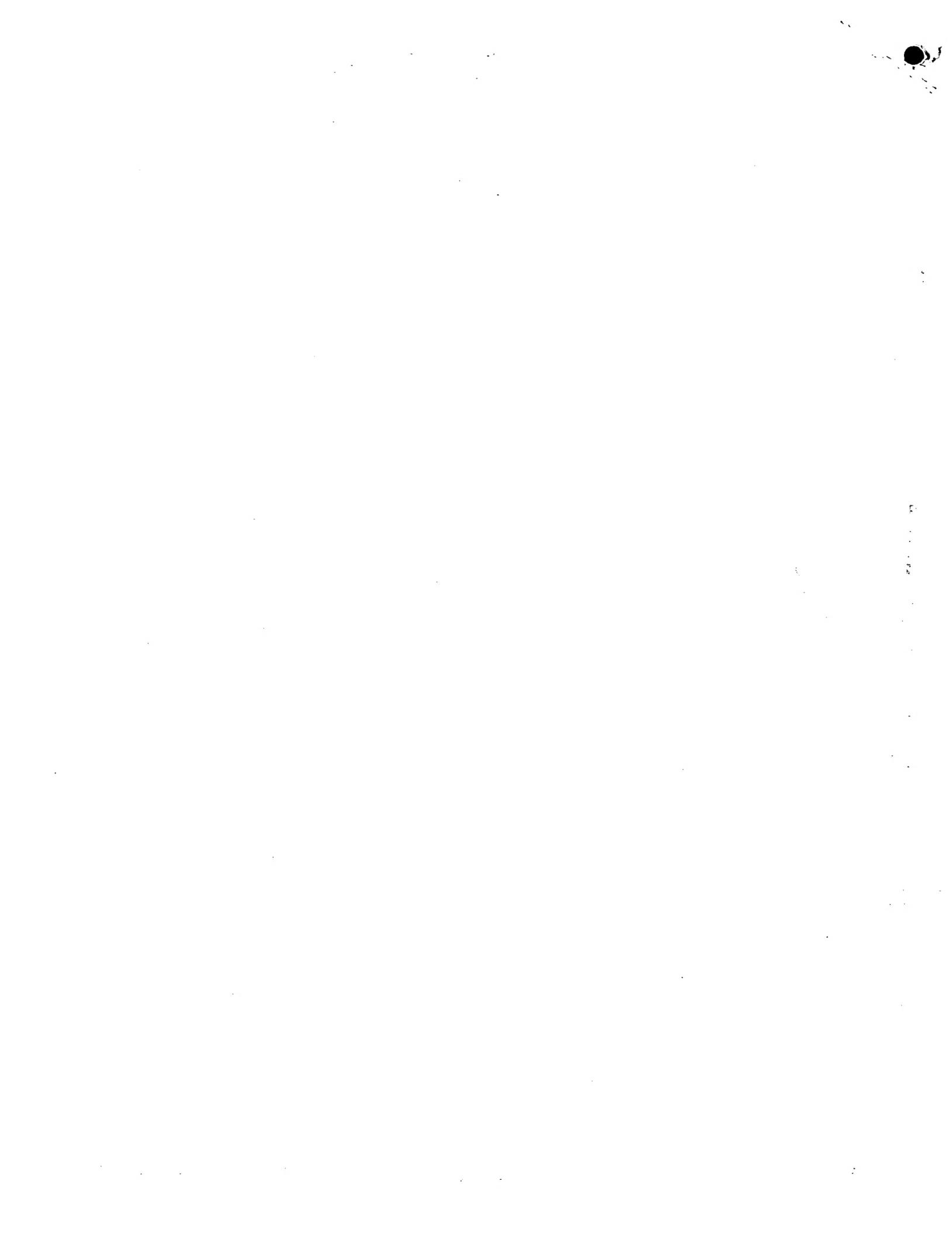
Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

A handwritten signature in black ink, appearing to read 'Martine PLANCHE'.

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIETE  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersbourg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
[www.inpi.fr](http://www.inpi.fr)





26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

1er dépôt

# BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

N° 11354\*02



## REQUÊTE EN DÉLIVRANCE page 1/2

DB 540 W / 010801

Réserve à l'INPI

REMISE DES PIÈCES	
DATE	20 DEC 2002
LIEU	75 INPI PARIS
N° D'ENREGISTREMENT	0216409
NATIONAL ATTRIBUÉ PAR L'INPI	
DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI	20 DEC. 2002

Vos références pour ce dossier  
(facultatif) 1H272520/5.PM

1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE  
À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE

CABINET BEAU DE LOMENIE  
158, rue de l'Université  
75340 PARIS CEDEX 07

### Confirmation d'un dépôt par télécopie

N° attribué par l'INPI à la télécopie

### 2 NATURE DE LA DEMANDE

Cochez l'une des 4 cases suivantes

Demande de brevet	<input checked="" type="checkbox"/>
Demande de certificat d'utilité.	<input type="checkbox"/>
Demande divisionnaire	<input type="checkbox"/>
Demande de brevet initiale ou demande de certificat d'utilité initiale	<input type="checkbox"/>
Transformation d'une demande de brevet européen Demande de brevet initiale	<input type="checkbox"/>
	N° Date
	N° Date

### 3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)

Procédé de réalisation de cavités dans une plaque de silicium

### 4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE

Pays ou organisation	Date	N°
Pays ou organisation	Date	N°
Pays ou organisation	Date	N°

S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»

### 5 DEMANDEUR (Cochez l'une des 2 cases)

Personne morale  Personne physique

Nom ou dénomination sociale	S.O.I. TEC SILICON ON INSULATOR TECHNOLOGIES	
Prénoms		
Forme juridique	Société Anonyme à Conseil d'Administration	
N° SIREN		
Code APE-NAF		
Domicile ou siège	Rue	Parc Technologique des Fontaines
	Code postal et ville	3 8 1 9 0 BERNIN
	Pays	FRANCE
Nationalité	Française	
N° de téléphone (facultatif)	N° de télécopie (facultatif)	
Adresse électronique (facultatif)		

S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»

Remplir impérativement la 2<sup>me</sup> page

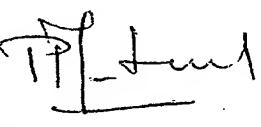
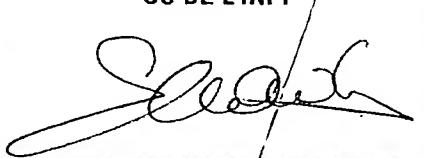
**BREVET D'INVENTION**  
**CERTIFICAT D'UTILITÉ**

**REQUÊTE EN DÉLIVRANCE**  
page 2/2

**BR2**

REMISE DES PIÈCES	
DATE	
LIEU	20 DEC 2002
N° D'ENREGISTREMENT	75 INPI PARIS
NATIONAL ATTRIBUÉ PAR L'INPI	0216409

DB 540 W / 01G501

<b>Vos références pour ce dossier :</b> (facultatif)		1B272520/5.PM
<b>6 MANDATAIRE</b> (s'il y a lieu)		
Nom		
Prénom		
Cabinet ou Société		CABINET BEAU DE LOMENIE
N °de pouvoir permanent et/ou de lien contractuel		
Adresse	Rue	158, rue de l'Université
	Code postal et ville	75151340 PARIS CEDEX 07
	Pays	FRANCE
N° de téléphone (facultatif)		01 44 18 89 00
N° de télécopie (facultatif)		01 44 18 04 23
Adresse électronique (facultatif)		
<b>7 INVENTEUR(S)</b>		
Les demandeurs et les inventeurs sont les mêmes personnes		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)
<b>8 RAPPORT DE RECHERCHE</b>		
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>
Paiement échelonné de la redevance (en deux versements)		Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt <input type="checkbox"/> Oui <input type="checkbox"/> Non
<b>9 RÉDUCTION DU TAUX DES REDEVANCES</b>		
		Uniquement pour les personnes physiques <input type="checkbox"/> Requise pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Obtenu antérieurement à ce dépôt pour cette invention (joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence) : AG <input type="text"/>
<b>10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE</b> (Nom et qualité du signataire)		
Pascal MOUTARD CPI N° 99-0300		<b>VISA DE LA PRÉFECTURE OU DE L'INPI</b>  

5

Domaine technique et art antérieur

L'invention concerne le domaine de la réalisation de composants ou d'éléments semiconducteurs, en particulier à partir de composants ou éléments de type SOI (abréviation de Silicon on Insulator, ou Silicium sur Isolant).

Une structure SOI comporte une couche de silicium, dans laquelle se trouvent les composants proprement dits, et sous laquelle est réalisée une couche enterrée d'isolant, par exemple du dioxyde de silicium. Cette dernière constitue une isolation vis-à-vis des courants parasites et des charges provenant de particules ionisées. Elle permet aussi une bonne isolation de composants voisins réalisés dans la même couche de silicium, et notamment une diminution sensible des capacités parasites entre de tels composants voisins. Elle repose elle-même sur un substrat en silicium, qui joue le rôle de support mécanique.

Dans certains cas ou certaines applications, on souhaite réaliser une ou plusieurs cavités dans un substrat en silicium ou en matériau semi-conducteur.

Par cavité, on entend un volume évidé surplombé par une couche de matériau semi-conducteur.

Il y a actuellement en outre un besoin de composants ou d'éléments ou de structures présentant de telles cavités.

Exposé de l'invention

L'invention a tout d'abord pour objet un procédé de réalisation d'une structure semiconductrice, comportant une couche superficielle de silicium, une couche enterrée d'isolant et un substrat, ledit procédé comportant les étapes suivantes :

- une étape d'implantation atomique à travers au moins une partie de la couche d'isolant,
- une étape de gravure de la couche d'isolant dans au moins une partie de cette couche traversée par l'implantation atomique.

5        Une telle structure peut être réalisée à partir d'une structure SOI.

Selon l'invention, la vitesse de gravure de la couche d'isolant, après que celui-ci ait subi une implantation atomique, est plus importante que la vitesse de gravure d'un isolant vierge.

10      L'invention permet donc de définir des régions ou des zones de la couche d'isolant ayant des vitesses de gravure différentes.

L'implantation atomique peut être réalisée à travers toute l'épaisseur de la couche d'isolant, ou à travers une partie seulement de cette couche, formant alors une partie supérieure d'isolant traversée par les ions et une partie inférieure d'isolant non traversée par les ions.

15      Au moins un trou peut être formé dans la couche superficielle de silicium, débouchant dans la couche d'isolant, par exemple à l'intérieur d'une zone traversée par l'implantation atomique, ou à la limite d'une zone traversée par l'implantation atomique et d'une zone non traversée par l'implantation atomique, ou dans une zone de forme concave, convexe ou polygonale, et traversée par l'implantation atomique.

20      Le matériau isolant peut être par exemple choisi parmi le dioxyde de silicium ( $SiO_2$ ), le nitre de silicium ( $Si_3N_4$ ); le diamant, le saphire, l'oxyde de hafnium ( $HfO_2$ ), l'oxyde de zirconium ( $ZrO_2$ ), l'alumine ( $Al_2O_3$ ), l'oxyde de lanthane ( $La_2O_3$ ), l'oxyde d'ytterbium ( $Y_2O_3$ ).

25      L'étape de gravure étant réalisée à l'aide d'un acide, mais peut aussi être une étape de gravure sèche ou humide.

30      L'invention concerne également une structure semiconductrice, comportant, dans un substrat de silicium :

- une couche superficielle de silicium,
- une couche isolante enterrée en un matériau isolant formé sous la couche superficielle de silicium,
- une zone d'implantation atomique, réalisée dans la couche isolante ou sous cette couche isolante.

La zone d'implantation atomique peut, par exemple, avoir dans un plan parallèle au plan moyen de ladite couche isolante enterrée une forme concave ou convexe ou encore être de forme polygonale. Toute autre forme peut être réalisée.

5 Une cavité peut être formée dans la couche d'isolant. Par exemple, une partie au moins de ladite cavité est formée dans une portion de la couche d'isolant traversée par les ions de l'implantation atomique.

10 Cette cavité peut être par exemple de forme cylindrique, ou semi-cylindrique. D'autres formes peuvent être réalisées telles que des formes ayant, selon un plan parallèle au plan moyen de la couche d'isolant, une section au moins partiellement elliptique et/ou au moins partiellement polygonale.

15 Selon un autre aspect, ladite cavité comporte une première zone ayant un premier diamètre, ou une première dimension maximale ou caractéristique, et une deuxième zone, ayant un deuxième diamètre, ou une deuxième dimension maximale ou caractéristique, différent(e) du premier.

Ces première et deuxième zones peuvent être situées à des profondeurs moyennes différentes dans la couche d'isolant.

20 L'invention a aussi pour objet une structure semiconductrice, comportant, dans un substrat de silicium :

- une couche de silicium superficiel,
- une couche isolante enterrée, en un matériau isolant, formée sous la couche superficielle de silicium,

25 - une cavité, formée dans la couche d'isolant, cette cavité comportant une première zone ayant un premier diamètre, ou une première dimension maximale ou caractéristique, et une deuxième zone, ayant un deuxième diamètre, ou une deuxième dimension maximale ou caractéristique, différent(e) du premier.

30 Ces deux zones peuvent être situées à une même profondeur dans la couche d'isolant, ou à des profondeurs moyennes différentes dans la couche d'isolant.

Brève description des figures

- la figure 1 représente un substrat SOI avec une implantation d'ions dans le substrat;
- 5 - les figures 2A à 2C représentent différentes étapes d'un procédé selon l'invention,
- les figures 3A à 3C représentent différentes vues de dessus de structures obtenues à l'aide d'un procédé selon l'invention.
- la figure 4 est une vue en perspective de la structure représentée en vue de dessus sur la figure 3B
- 10 - les figures 5 et 6 représentent une vue en coupe et une vue en perspective d'une structure obtenue à l'aide d'un procédé selon l'invention.
- 15                   Description détaillée de modes réalisation de l'invention.  
La figure 1 représente schématiquement un substrat SOI dans lequel une implantation atomique a été réalisée.  
Une telle structure SOI comporte une couche 2 de silicium, de préférence monocristallin, dans laquelle peuvent être réalisés les composants proprement dits, et sous laquelle est formée une couche enterrée 4 d'un isolant, par exemple de l'oxyde de silicium.
- 20                   Cette couche isolante 4 constitue une isolation vis- à vis des courants parasites et des charges provenant de particules ionisées. Elle permet aussi une bonne isolation de composants voisins réalisés dans la même couche de silicium 2, et notamment une diminution sensible des capacités parasites entre de tels composants voisins. Elle repose elle-même sur un substrat 6 en un matériau choisi parmi les matériaux semi-conducteurs, par exemple le silicium, qui joue le rôle de support mécanique.
- 25                   La couche superficielle de silicium a par exemple une épaisseur d'environ 10 à 500nm ou à 1000 nm ou à 3000 nm, tandis que la couche d'isolant a par exemple une épaisseur de l'ordre de quelques centaines de nm, par exemple comprise entre 100 nm ou 200 nm et 400 nm ou 500 nm.
- 30                   Ces épaisseurs, et notamment celle de la couche d'isolant, peuvent varier.
- 35

Selon l'invention, une implantation atomique de cette structure est réalisée par des espèces atomiques ou ioniques, par exemple des espèces hydrogène ou hélium, telles que  $H^+$  ou  $H_2^+$  ou  $He^{2+}$ , à une profondeur située au moins dans la couche d'isolant, par exemple ou en-dessous de la couche d'isolant. Cette implantation d'espèces atomiques engendre des défauts dans la portion de cette couche qu'elle a traversée.

Ainsi, sur la figure 1, le plan 18 représente le plan moyen dans lequel les ions ont été implantés : toute la matière située au-dessus de ce plan a été traversée par le flux d'ions de l'implantation atomique. La courbe 19, centrée sur ce plan, représente la répartition moyenne des ions dans le substrat 6. Dans cet exemple, le plan 18 est situé dans le substrat 6, mais il pourrait aussi se situer dans la couche 4, auquel cas seule une portion de l'isolant 4 aurait été traversée par le trajet des ions.

Après implantation, la gravure de l'isolant enterré peut être réalisée, par exemple à l'aide d'un acide tel que l'acide fluorhydrique HF introduit par un trou 22 (représenté en traits interrompus sur la figure 1) débouchant dans la couche d'isolant. D'autres procédés de gravure peuvent être utilisés, avec les mêmes avantages, tels que par exemple la gravure sèche ou encore la gravure humide avec des composés fluorés.

Les figures 2A à 2C représentent différentes étapes d'un procédé selon l'invention. Partant d'une plaque 30 de type SOI, un masque d'implantation 32 définissant la zone à planter est déposé (figure 2A). La profondeur de l'isolant ou de l'oxyde enterré 36 définit celle de la cavité à créer. La référence 34 désigne la couche de silicium superficielle.

L'implantation d'espèces atomiques est réalisée sur la plaque, à travers l'ouverture du masque (figure 2B), le reste du masque protégeant le SOI de ces espèces. L'énergie d'implantation peut être choisie afin d'avoir création d'une densité élevée d'espèces implantées soit dans la couche d'isolant ou d'oxyde enterré, soit à une profondeur, mesurée à partir de la surface de la couche de silicium superficiel 34, située au-delà de cet isolant ou de cet oxyde enterré.

Sur la figure 2B, la portion de la couche d'isolant 36 située entre les limites 37 et 39 (correspondant aux bords de la fenêtre du masque 32) a subi le passage des ions.

Après élimination du masque d'implantation, un trou débouchant 40 est réalisé au moyen des techniques de gravure classiques de la microélectronique (figure 2C).

Enfin, sous l'action de l'acide HF, une gravure sélective de  
5 l'isolant ou de l'oxyde enterré est réalisée au travers de ce trou débouchant, pour amener à la formation de la cavité souhaitée 50.

La figure 3A représente une vue de dessus d'un substrat SOI dans lequel un procédé tel que celui décrit ci-dessus a été mis en oeuvre.

Sur cette figure, comme sur les figures 3B et 3C, les zones  
10 implantées et gravées sont en gris, les zones implantées et non gravées sont en traits hachurés, les zones non implantées sont en blanc.

La référence 40 désigne la zone implantée de ce substrat, la zone non implantée étant désignée par la référence 41. Dans cette structure, le trou débouchant, pratiqué dans le substrat, est désigné par la  
15 référence 42 et est localisé au coeur de la zone implantée 40.

La gravure est réalisée progressivement dans la zone implantée et plus rapidement que dans une zone non implantée. Par exemple, sur la figure 3A, la référence 44 désigne le cylindre, ou la zone gravée, après une durée  $\Delta T$ , la référence 46 la zone gravée après une  
20 durée de  $2\Delta T$  et la zone 48 la zone gravée après une durée de  $3\Delta T$ .

La figure 3B correspond au cas d'un trou débouchant créé à la limite 57 de la zone implantée 50 et de la zone non implantée 51, situées toutes deux dans la couche d'isolant ou de dioxyde de silicium .

La gravure progresse alors à la fois dans ces deux zones, 50,  
25 51. Les vitesses de gravure dans ces deux zones sont cependant différentes l'une de l'autre. Pour cette raison, la zone gravée 54 dans la zone implantée 50 est, après une durée  $\Delta T$ , plus large que la zone correspondante 64 dans la région non implantée 51.

De même, après une durée de  $2\Delta T$ , la région gravée 56 est  
30 plus large que la région gravée 66 et , après une durée  $3\Delta T$ , la région 58 est plus large que la région 68.

La figure 3C correspond au cas d'un trou débouchant créé au centre d'une zone implantée de forme concave 60 située dans la zone 59 par ailleurs non implantée, ce qui permet ainsi de créer une cavité 69 de  
35 forme carrée ou sensiblement carrée. Là encore, les références 65, 67,

69, désignent les cavités obtenues au bout de durées respectives de  $\Delta T$ ,  
2 $\Delta T$ , et 3 $\Delta T$ .

La figure 4 représente en perspective le cas de la figure 3B ; les  
références 34, 36, 38 ayant la même signification que sur la figure 2B. Les  
5 deux demi-cylindres 58 et 68 traversent la couche d'isolant 36, suivant une  
direction perpendiculaire au plan de cette couche et au plan de la couche  
superficielle de silicium 34.

La figure 5 représente une structure SOI 70 dans laquelle la  
couche superficielle 72 de silicium et la couche d'isolant ou d'oxyde 74 ont  
10 été traitées par le flux d'ions seulement jusqu'à une profondeur identifiée  
par la plan 76 (zone ou plan d'implantation des ions). Autrement dit, la  
couche d'isolant ou de dioxyde de silicium est divisée en une portion  
supérieure 78 qui a été traversée par le flux d'ions et une portion 80 non  
traversée par le flux d'ions. La vitesse de gravure sera alors différente  
15 dans ces deux zones, ce qui permet de réaliser des motifs gravés  
présentant des variations de section ou de diamètre suivant un axe  
perpendiculaire au plan 76 ou au plan de la couche 72 et de la couche 78.

La figure 6 représente en perspective le résultat d'une gravure  
de la couche d'isolant 74. Dans la zone implantée 78, la zone gravée 88  
20 est similaire à la zone gravée 58 de la figure 4, mais sur une épaisseur  
réduite par rapport à l'épaisseur totale de la couche 36. Dans la portion  
80, il y a aussi gravure, mais à vitesse inférieure, d'où la zone gravée 90,  
située sous la zone 88 ou à une profondeur moyenne inférieure par  
rapport à la profondeur moyenne de la zone 88. Dans le plan de la couche  
25 74, et de l'autre côté de la limite 97 de la zone implantée et de la zone non  
implantée, deux portions d'isolant, situées à deux profondeurs distinctes,  
sont aussi gravées (en regard de chacune des zones gravées 88 et 90),  
mais à une même vitesse car elles sont toutes deux dans une région non  
implantée. Elles ont donc toutes deux le même diamètre ou la même  
30 dimension et elles constituent la zone gravée 98.

Il est ainsi possible de réaliser des zones gravées situées à des  
profondeurs, ou à des profondeurs moyennes, identiques ou différentes  
dans la couche d'isolant d'une structure SOI, ces profondeurs étant  
comptées à partir de la limite supérieure de la couche d'isolant, limite qui  
35 est en contact avec la couche superficielle 34, 72 de silicium, ou à partir de  
la surface supérieure de la couche de silicium superficiel.

Selon un autre aspect, l'invention permet de définir dans une couche isolante telle que la couche 4 de la figure 1, des régions pour lesquelles les vitesses de gravure de cette couche sont différentes d'une région à l'autre. La couche isolante présente alors au moins une première et une deuxième région, ayant respectivement une première et une deuxième vitesses de gravure qui sont différentes l'une de l'autre.

5 Selon encore un autre mode de réalisation, non représenté sur les figures, le point ou le lieu où commence la gravure peut être situé dans une zone non implantée, la gravure se propageant ensuite dans une zone 10 implantée à une vitesse différente de la gravure dans la zone non implantée.

La combinaison des divers modes de réalisation évoqués ci-dessus permet de réaliser des zones gravées ayant des dimensions différentes suivant deux ou trois directions de l'espace. Ainsi, dans le cas 15 de la figure 6, le diamètre ou la plus grande dimension ou la dimension caractéristique dans chaque portion ou zone gravée, ou la section de cette portion ou zone gravée, varie à la fois dans le plan de la couche 74, et suivant une direction perpendiculaire à ce plan.

On peut ainsi réaliser, dans une couche d'isolant d'une 20 structure SOI, au moins deux zones gravées présentant un premier diamètre ou une première dimension maximale ou caractéristique, un deuxième diamètre, ou une deuxième dimension maximale, différent(e) du premier diamètre ou de la première dimension maximale ou caractéristique, et éventuellement situé(e)s à des profondeurs différentes 25 dans la couche d'isolant.

L'une et/ou l'autre de ces zones peut être de section carrée (comme sur la figure 3C) ou être cylindrique (figure 3A) ou semi-cylindrique (figure 3B). D'autres formes peuvent encore être réalisées, en fonction de la forme du masque choisi initialement pour l'implantation et du 30 point ou du lieu où commence la gravure dans la région implantée ou en dehors de celle-ci.

On peut aussi réaliser une cavité ayant, dans un plan parallèle ou plan moyen de la couche d'isolant, une section elliptique ou polygonale, ou en partie elliptique et en partie polygonale.

35 Par ailleurs, la zone d'implantation atomique peut être en fait de forme totalement quelconque, convexe, concave ou tout autre. Cette

forme de la zone d'implantation atomique est liée à la forme finale de la cavité souhaitée.

Quel que soit le mode de réalisation envisagé, des composants électroniques, par exemple des transistors, peuvent ensuite être réalisés 5 dans la couche superficielle 2, 34, 72 de silicium.

La zone gravée dans la couche d'isolant permet par exemple de réaliser une portion conductrice d'un tel composant.

Le matériau SiO<sub>2</sub> peut être utilisé en tant qu'isolant d'une structure SOI.

10 L'invention s'applique cependant aussi à d'autres matériaux isolants, tels que par exemple le Si<sub>3</sub>N<sub>4</sub>, le SiGe, le diamant, ou le saphire. Elle s'applique également à tout matériau à coefficient K élevé, comme ceux décrits dans le MRS Bulletin, Mars 2002, Vol. 27, No3, dans un article intitulé « Alternative Gate Dielectrics for Microelectronics » ; de 15 tels matériaux sont par exemple l'oxyde de Hafnium (HfO<sub>2</sub>), ou l'oxyde de zirconium (ZrO<sub>2</sub>), l'alumine (Al<sub>2</sub>O<sub>3</sub>), ou encore le Y<sub>2</sub>O<sub>3</sub> (oxyde d'ytterbium).

**REVENDICATIONS**

5           1. Procédé de réalisation d'une structure semiconductrice comportant une couche superficielle de silicium (2, 34, 72), une couche enterrée d'isolant (4, 36, 74) et un substrat (6, 38, 82), ledit procédé comportant les étapes suivantes :

10         - une étape d'implantation atomique à travers au moins une partie de la couche d'isolant,

10         - une étape de gravure de la couche d'isolant dans au moins une partie de cette couche traversée par l'implantation atomique.

15           2. Procédé selon la revendication 1, l'implantation atomique étant réalisée à travers toute l'épaisseur de la couche d'isolant.

20           3. Procédé selon la revendication 1, l'implantation atomique étant réalisée à travers une partie seulement de l'épaisseur de la couche d'isolant.

25           4. Procédé selon l'une des revendications 1 à 3, l'étape d'implantation étant une étape d'implantation d'ions hydrogène ou d'ions hélium.

25           5. Procédé selon l'une des revendications 1 à 4, comportant une étape de formation d'au moins un trou (40) dans la couche superficielle de silicium, débouchant dans la couche d'isolant.

30           6. Procédé selon la revendication 5, le trou débouchant à l'intérieur d'une zone (40) traversée par l'implantation atomique.

35           7. Procédé selon la revendication 5, le trou débouchant à la limite d'une zone traversée par l'implantation atomique (50) et d'une zone non traversée par l'implantation atomique (51).

8. Procédé selon la revendication 5 ou 6, le trou débouchant dans une zone (60) de forme concave ou convexe et traversée par l'implantation atomique.

5 9. Procédé selon la revendication 5 ou 6, le trou débouchant dans une zone de forme polygonale et traversée par l'implantation.

10 10. Procédé selon la revendication 5, le trou débouchant dans une zone non traversée par l'implantation atomique.

10 11. Procédé selon l'une des revendications 1 à 10, le matériau isolant étant choisi parmi le dioxyde de silicium ( $\text{SiO}_2$ ), le nitre de silicium ( $\text{Si}_3\text{N}_4$ ), le diamant, le saphire, l'oxyde de hafnium ( $\text{HfO}_2$ ), l'oxyde de zirconium ( $\text{ZrO}_2$ ), l'alumine ( $\text{Al}_2\text{O}_3$ ), l'oxyde de lanthane ( $\text{La}_2\text{O}_3$ ), l'oxyde d'ytterbium ( $\text{Y}_2\text{O}_3$ ).

12. Procédé selon l'une des revendications 1 à 11, l'étape de gravure étant réalisée à l'aide d'un acide.

20 13. Procédé selon l'une des revendications 1 à 12, l'étape de gravure étant une étape de gravure sèche ou humide.

14. Structure semiconductrice, comportant, dans un substrat de silicium :

25 - une couche superficielle de silicium (2, 34, 72),  
- une couche isolante enterrée (4, 36, 78) en un matériau isolant formé sous la couche superficielle de silicium,  
- une zone d'implantation atomique (18) réalisée dans la couche isolante ou sous cette couche isolante.

30 15. Structure semiconductrice selon la revendication 14, la zone d'implantation atomique ayant une forme concave ou convexe ou polygonale dans un plan parallèle au plan moyen de ladite couche isolante enterrée.

16. Structure semiconductrice selon la revendication 14 ou 15,  
une cavité (50) étant formée dans la couche d'isolant.

17. Structure semiconductrice selon la revendication 16, une  
5 partie au moins de ladite cavité étant formée dans une portion de la  
couche d'isolant traversée par les ions de l'implantation atomique.

18. Structure semiconductrice selon la revendication 17, une  
partie de ladite cavité étant formée dans une portion de la couche d'isolant  
10 non traversée par les ions de l'implantation atomique.

19. Structure semiconductrice selon l'une des revendications 16  
à 18, ladite cavité étant de forme cylindrique, ou semi-cylindrique ou de  
section carrée.  
15

20. Structure semiconductrice selon l'une des revendications 16  
à 18, la cavité ayant, dans un plan parallèle au plan moyen de la couche  
d'isolant, une section elliptique ou polygonale ou en partie elliptique et en  
partie polygonale.  
20

21. Structure semiconductrice selon l'une des revendications 16  
à 20, ladite cavité comportant une première zone (58, 88) ayant un  
premier diamètre, ou une première dimension maximale ou  
caractéristique, et une deuxième zone (68, 90, 98), ayant un deuxième  
25 diamètre, ou une deuxième dimension maximale ou caractéristique,  
différent(e) du premier.

22. Structure semiconductrice selon la revendication 21, les  
première et deuxième zones étant situées à des profondeurs moyennes  
30 différentes dans la couche d'isolant.

23. Structure semiconductrice, comportant, dans un substrat de  
silicium :

- une couche de silicium superficiel (2, 34, 72),  
35
- une couche isolante enterrée (4, 36, 78), en un matériau  
isolant, formée sous la couche superficielle de silicium,

16. Structure semiconductrice selon la revendication 14 ou 15,  
une cavité (50) étant formée dans la couche d'isolant.

5        17. Structure semiconductrice selon la revendication 16, une  
partie au moins de ladite cavité étant formée dans une portion de la  
couche d'isolant traversée par les ions de l'implantation atomique.

10      18. Structure semiconductrice selon la revendication 17, une  
partie de ladite cavité étant formée dans une portion de la couche d'isolant  
non traversée par les ions de l'implantation atomique.

15      19. Structure semiconductrice selon l'une des revendications 16  
à 18, ladite cavité étant de forme cylindrique, ou semi-cylindrique ou de  
section carrée.

20      20. Structure semiconductrice selon l'une des revendications 16  
à 18, la cavité ayant, dans un plan parallèle au plan moyen de la couche  
d'isolant, une section elliptique ou polygonale ou en partie elliptique et en  
partie polygonale.

25      21. Structure semiconductrice selon l'une des revendications 16  
à 20, ladite cavité comportant une première zone (58, 88) ayant un  
premier diamètre, ou une première dimension maximale ou  
caractéristique, et une deuxième zone (68, 90, 98), ayant un deuxième  
diamètre, ou une deuxième dimension maximale ou caractéristique,  
différent(e) du premier.

30      22. Structure semiconductrice selon la revendication 21, les  
première et deuxième zones étant situées à des profondeurs moyennes  
différentes dans la couche d'isolant.

- une cavité (50) formée dans la couche d'isolant, cette cavité comportant une première zone (58, 88) ayant un premier diamètre, ou une première dimension maximale ou caractéristique, et une deuxième zone (68, 90, 98), ayant un deuxième diamètre, ou une deuxième dimension maximale ou caractéristique, différent(e) du premier.

5

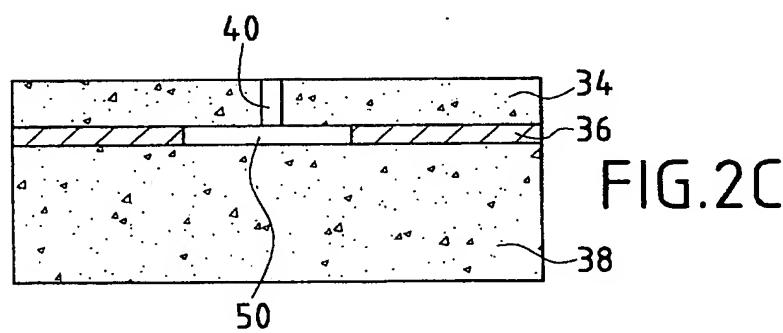
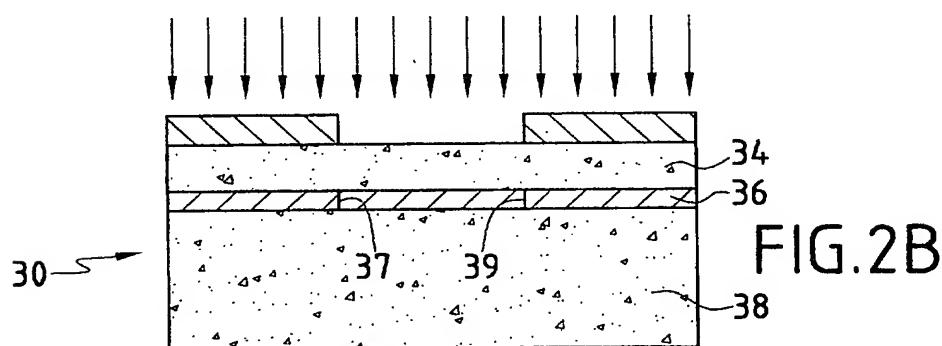
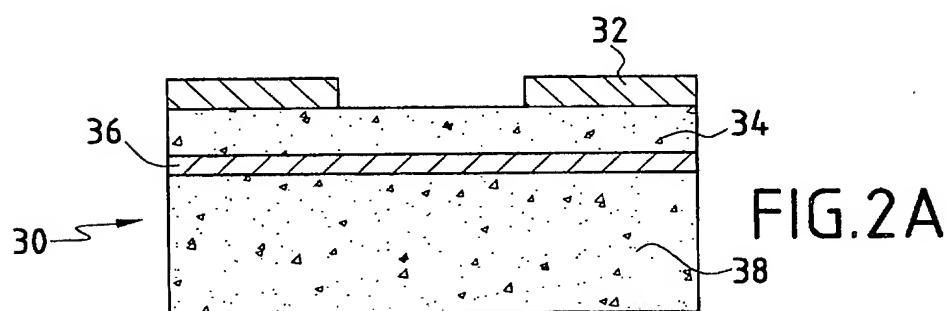
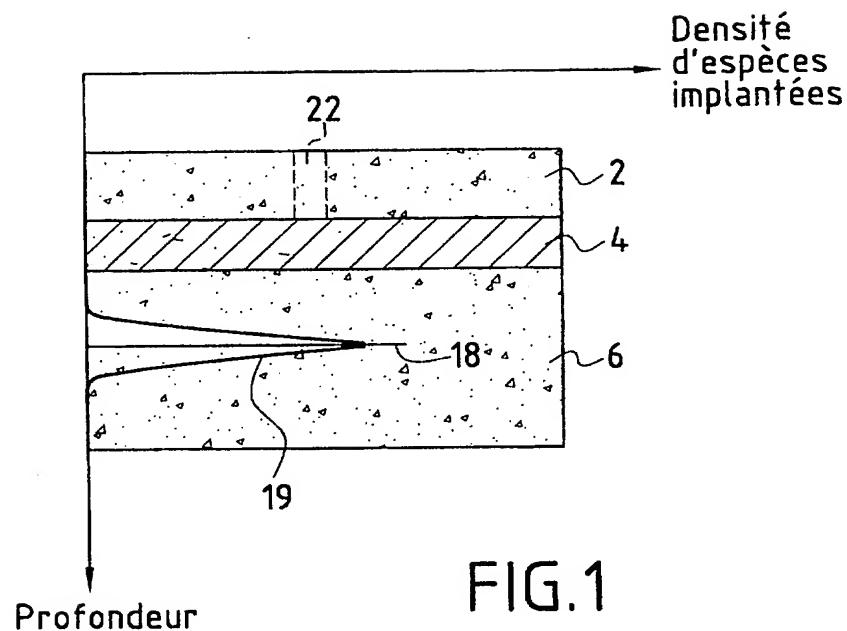
24. Structure semiconductrice selon la revendication 21, les deux zones étant situées à une même profondeur dans la couche d'isolant.

10

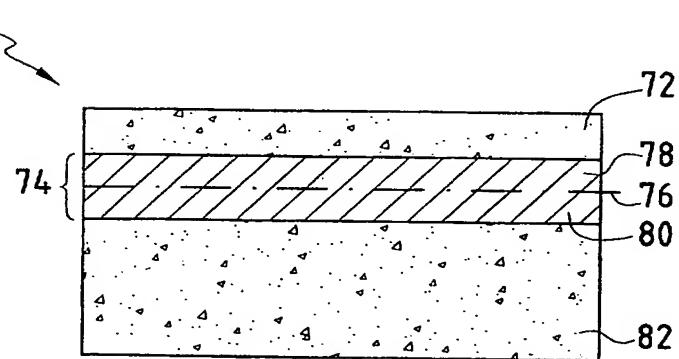
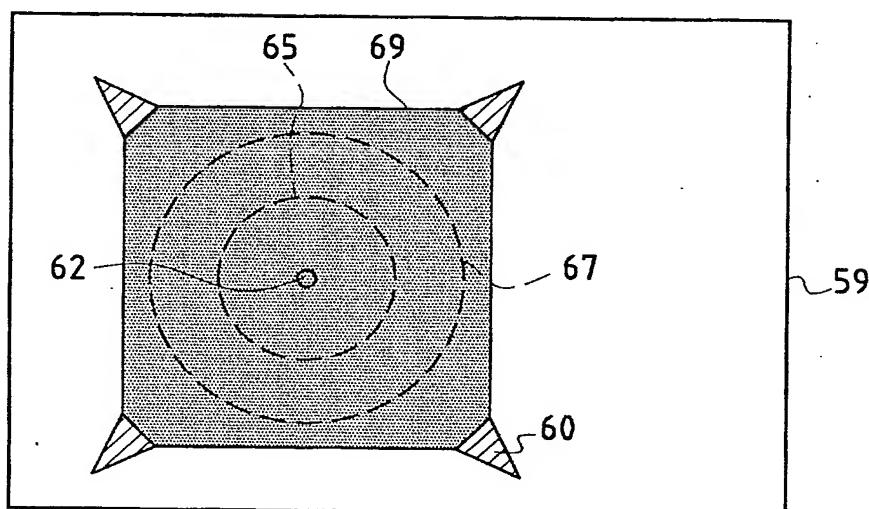
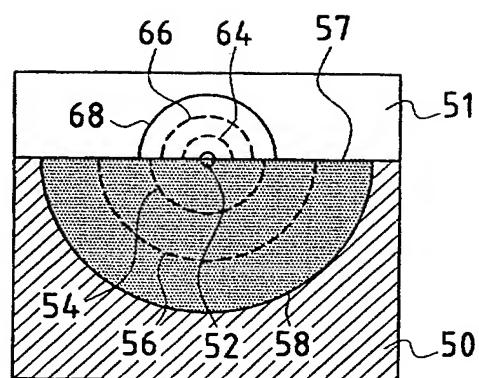
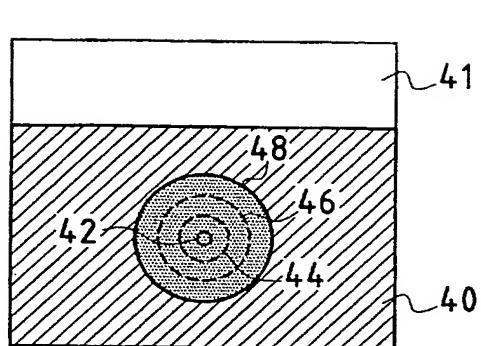
25 Structure semiconductrice selon la revendication 21, les deux zones (88, 90) étant situées à des profondeurs moyennes différentes dans la couche d'isolant.

15

1/3



2/3



3/3

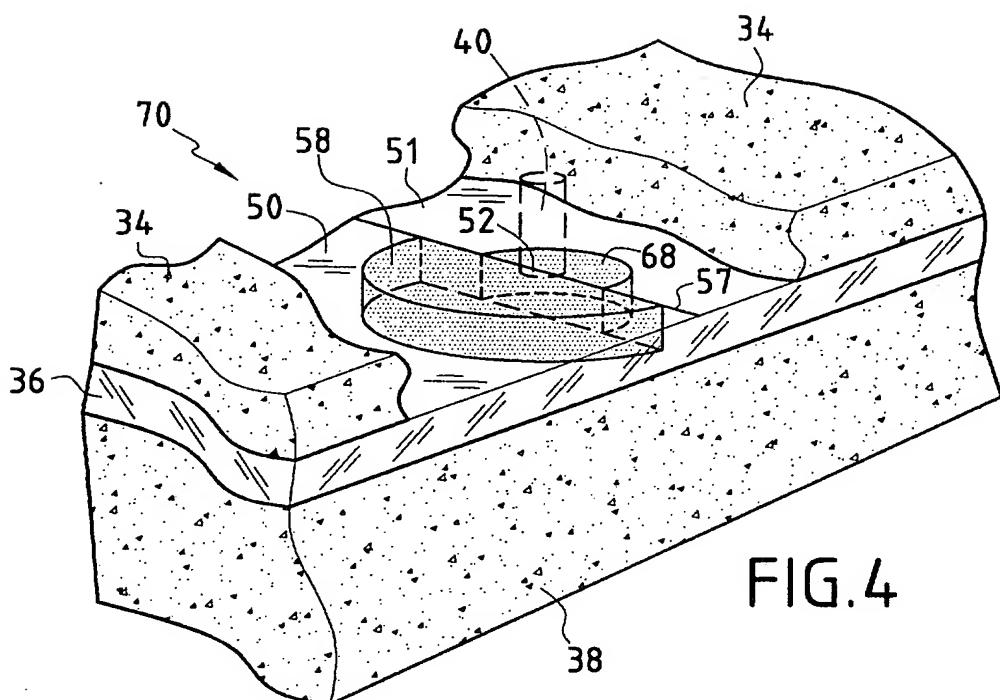


FIG.4

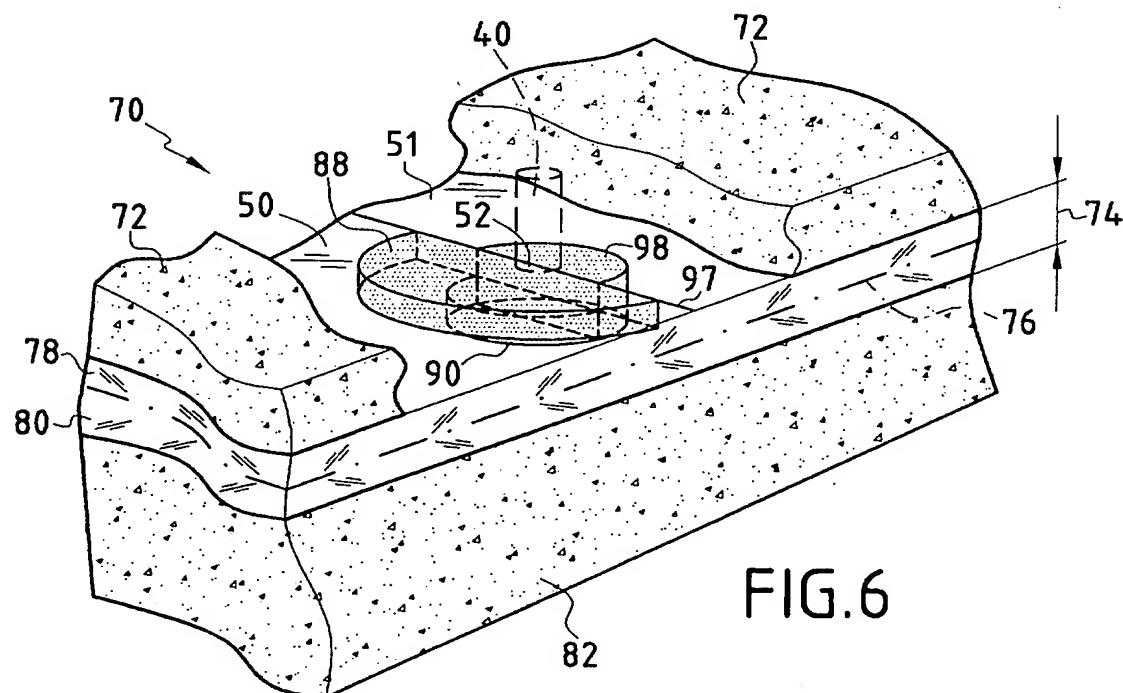


FIG.6

**BREVET D'INVENTION**

**CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle - Livre VI

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

**DÉSIGNATION D'INVENTEUR(S)** Page N° .1 . / 1 ..

(À fournir dans le cas où les demandeurs et  
les inventeurs ne sont pas les mêmes personnes)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 270601



Vos références pour ce dossier (facultatif)	1H272520/5.PM
N° D'ENREGISTREMENT NATIONAL	0216409
TITRE DE L'INVENTION (200 caractères ou espaces maximum)	
<p style="text-align: center;">Procédé de réalisation de cavités dans une plaque de silicium</p>	

LE(S) DEMANDEUR(S) :

S.O.I. TEC SILICON ON INSULATOR TECHNOLOGIES

DESIGNE(NT) EN TANT QU'INVENTEUR(S) :

<b>1</b> Nom	SCHWARZENBACH	
Prénoms	Walter	
Adresse	Rue	19, Chemin du Mollard
	Code postal et ville	13 813 30 St Nazaire Les Eymes, FRANCE
Société d'appartenance (facultatif)		
<b>2</b> Nom	MALEVILLE	
Prénoms	Christophe	
Adresse	Rue	90, rue du Château
	Code postal et ville	13 816 60 La Terasse, FRANCE
Société d'appartenance (facultatif)		
<b>3</b> Nom		
Prénoms		
Adresse	Rue	
	Code postal et ville	[ ]
Société d'appartenance (facultatif)		

S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.

**DATE ET SIGNATURE(S)**

**DU (DES) DEMANDEUR(S)**

**OU DU MANDATAIRE**

(Nom et qualité du signataire)

CABINET BEAU DE LOMENIE

PASCAL MOUTARD

CPI N° 99-0300